

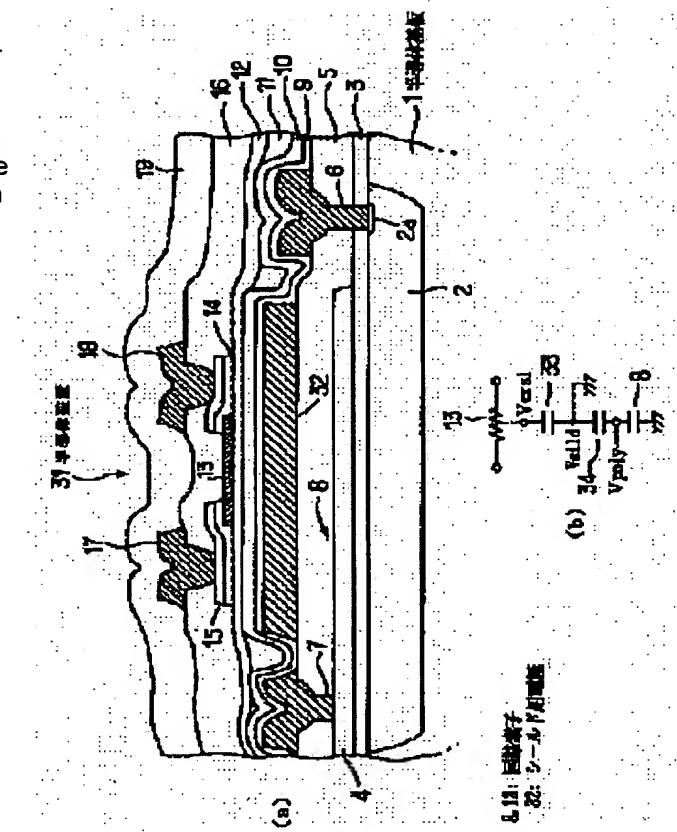
SEMICONDUCTOR DEVICE

Patent number: JP2002368100
Publication date: 2002-12-20
Inventor: SHIRAKI SATOSHI; TAKAHASHI SHIGEKI
Applicant: DENSO CORP
Classification:
- **International:** H01L21/822; H01L21/3205; H01L27/04
- **European:**
Application number: JP20010168270 20010604
Priority number(s):

Abstract of JP2002368100

PROBLEM TO BE SOLVED: To lay separate circuit elements of a semiconductor device and wirings on an upper layer, without giving the potential influence on lower layer circuit elements through capacitance coupling.

SOLUTION: A shielding electrode 32 connected to ground is disposed between a capacitor 8 formed on a silicon substrate 1 and a thin film resistance 13 formed so as to overlap with a capacitor 8 forming region.



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-368100

(P2002-368100A)

(43)公開日 平成14年12月20日 (2002.12.20)

(51)Int.Cl.⁷H 01 L 21/822
21/3205
27/04

識別記号

F I

H 01 L 27/04

テマコト[®](参考)

H 5 F 0 3 3

C 5 F 0 3 8

P

21/88

S

審査請求 未請求 請求項の数 2 OL (全 5 頁)

(21)出願番号

特願2001-168270(P2001-168270)

(22)出願日

平成13年6月4日 (2001.6.4)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者

白木 駿

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(72)発明者

高橋 茂樹

愛知県刈谷市昭和町1丁目1番地 株式会

社デンソー内

(74)代理人 100071135

弁理士 佐藤 強

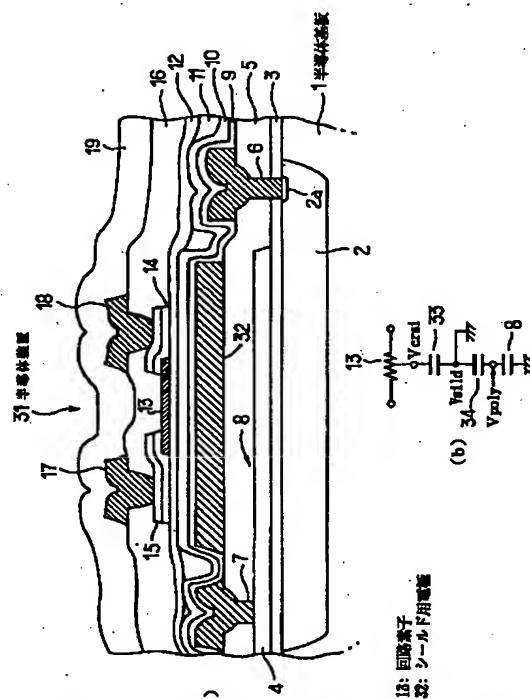
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 半導体装置において、下層の回路素子に容量結合を介して電位的な影響を及ぼすことなく、別の回路素子や配線を上層側に配置する。

【解決手段】 シリコン基板1上に形成したキャバシタ8とその形成領域とオーバーラップするように形成された薄膜抵抗体13との間に、グランドに接続されるシールド用電極32を配置する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 半導体基板上に形成されている回路素子の上層にシールド用電極を形成して当該シールド用電極をグランドに接続すると共に、

前記シールド用電極の上層において、前記回路素子が形成されている領域の上方に位置する部位に他の回路素子または配線を形成することを特徴とする半導体装置。

【請求項2】 前記半導体基板上に形成される回路素子は、キャパシタであることを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、回路素子等を多層的に配置して構成される半導体装置に関する。

【0002】

【発明が解決しようとする課題】 半導体基板（チップ）上に集積回路が形成される半導体装置については、高機能化及び小形化が隨時進められおり、チップ面積をより縮小したいという要求も強まっている。その要求に答えるための技術の1つとして、各回路素子を電気的に接続するための配線を多層的に行うものがある。

【0003】 しかしながら、従来の多層配線技術では、配線の下層側に回路素子が形成されている場合、その回路素子の形成領域に配線がかかるないようにレイアウト（パターニング）が行われている。即ち、もしも、下層の回路素子の形成領域を跨ぐようにして配線を形成した場合は、配線と回路素子との間に存在する浮遊容量（配線容量）によって両者がカップリングされた状態となるおそれがある。そして、その配線において例えばクロック信号などの交流信号が伝達されると、下層の回路素子に容量結合を介して電位的な影響を及ぼすこと（クロストーク）が想定されるからである。

【0004】 例えば、図3（a）は、上記の構成を想定した一例を示す半導体装置の模式的な断面図である。シリコン基板1には、拡散によってdeepN+層2が形成されている。そして、deepN+層2の表面を酸化してなる酸化膜3を隔てて、deepN+層2と対向するようにポリシリコン4が配置されている。

【0005】 deepN+層2とポリシリコン4には、CVDなどにより形成されたBPSG（ボロンリンガラス）膜5に形成されたコンタクトホールを介して夫々の配線用電極であるA1SiCu膜6、7が成膜されて電気的に接続されている。即ち、酸化膜3を隔てて対向するdeepN+層2とポリシリコン4とがキャパシタ8を構成している。また、deepN+層2においてA1SiCu膜6が接触する界面部分には、両者のオーミック接触を良好にするために高濃度のn+層2aが拡散により形成されている。

【0006】 キャパシタ8の上層には、層間絶縁膜としてP-SiN膜（プラズマ窒化膜）9、第1TEOS

（テトラエトキシシラン）膜10が配置され、SOG（Spin On Glass）11により平坦化された後、第2aTEOS膜12が成膜されている。そして、第2aTEOS膜12の上には、CrSi膜をスパッタリングした薄膜抵抗体13が形成されている。薄膜抵抗体13の両端部には、バリアメタルとなるTiW膜14を介して薄膜抵抗体13の電極用にAlSi膜15が形成されている。

【0007】 更に、薄膜抵抗体13の上層を覆う層間絶縁膜として第2bTEOS膜16が成膜され、第2bTEOS膜16にはコンタクトホールを介しAlSiCu膜17、18が成膜されている。そして、最上層には、全体を保護するためのパッシベーション膜としてP-SiN膜19が成膜されている。尚、上記のプロセスに関連する一般的な技術の詳細については、例えば特開平10-144866号公報などに開示されている。

【0008】 以上のように構成された半導体装置20においては、キャパシタ8の形成領域上層に、層間絶縁膜を介して薄膜抵抗体13がスタック状に配置されている。図3（b）は、図3（a）に示す構成の等価回路である。図3（b）において、Versiは、グランドレベルに対する薄膜抵抗体13の電位であり、Vpolyはキャパシタ8を構成するポリシリコン4の電位である。即ち、薄膜抵抗体13とキャパシタ8とは、層間絶縁膜を介して形成されている配線容量21を介して容量結合された状態となっている。

【0009】 この状態で、薄膜抵抗体13を介してクロック信号を伝送させると、その信号のレベル変動は配線容量21を介してポリシリコン4に略そのまま伝達されるため、キャパシタ8の容量が変動してしまう。その結果、設計した通りの回路定数を得ることができず、回路の動作が不安定なることが予想される。

【0010】 斯様な不具合があることから上記構成の半導体装置20は実際に形成されることがなく、薄膜抵抗体13は、キャパシタ8が形成されている領域の隣の領域に（横方向に）配置されていた。即ち、従来の多層配線技術では配線のレイアウトに大きな制約があり、チップ面積の縮小に貢献する度合いが小さいという問題があった。

【0011】 本発明は上記事情に鑑みてなされたものであり、その目的は、下層の回路素子に容量結合を介して電位的な影響を及ぼすことなく、別の回路素子や配線を上層側に配置することができる半導体装置を提供することにある。

【0012】

【課題を解決するための手段】 請求項1記載の半導体装置によれば、半導体基板上に形成されている回路素子と、その形成領域とオーバーラップするように形成された他の回路素子または配線との間にはシールド用電極が配置されている。そのため、両者間に配線容量などが形成される状態にあるとしてもシールド用電極がグランド

電位に設定されることから、両者が容量結合されることは防止される。

【0013】そして、例えば上層側に形成された配線などでクロック信号が伝送される場合でも、シールド用電極のシールド効果によりクロック信号の交流的な変化が下層側の回路素子に電位的な影響を与えることがない。従って、従来よりも高密度な多層配線を行うことが可能となりチップサイズをより縮小することができ、コストダウンを図ることができる。

【0014】請求項2記載の半導体装置によれば、半導体基板上に形成される回路素子をキャパシタとする。上述したように、従来構成において、キャパシタの上層にその形成領域を横断するようにして配線をバターニングした場合を想定すると、その配線によって伝送される交流信号の変化が影響して下層に形成されたキャパシタの容量が変動するおそれがあり、所望の回路特性を得ることが困難となってしまう。そこで、両者間にシールド用電極を配置することによりキャパシタの容量変動を防止して、所望の回路特性を安定して得ることができるようになる。

【0015】

【発明の実施の形態】（第1実施例）以下、本発明の第1実施例について図1を参照して説明する。尚、図3と同一部分には同一符号を付して説明を省略し、以下異なる部分についてのみ説明する。図1（a）に示すように、本実施例の半導体装置31では、図3に示す半導体装置20におけるBPSG膜5と、層間絶縁膜たるP-SiN膜9との間に、シールド用電極32が形成されている。

【0016】このシールド用電極32は、キャパシタ（回路素子）8の配線用電極であるAlSiCu膜6、7と同一の材料によって同時に形成されるものであり、AlSiCu膜6、7の間に両者と僅かな間隙を有して配置されている。そして、P-SiN膜9の上層には、半導体装置20と同様に、第1TEOS膜10、SOG11、第2aTEOS膜12や薄膜抵抗体（回路素子）13などが形成されている。

【0017】シールド用電極32は、キャパシタ8の形成領域をほぼ覆うようにして形成されていると共に、図1（a）に示す断面には図示されていないが奥行側において配線用電極との電気的接続が取られており、その配線用電極を介して半導体装置31のグランドに接続されている。

【0018】図1（b）は、図1（a）に示す構成の等価回路であり、図3（b）に示した等価回路において、配線容量20を配線容量33及び34に置き換えたものとなっている。即ち、配線容量33は、薄膜抵抗体13とシールド用電極32との間に形成されているものであり、配線容量34は、シールド用電極32とキャパシタ8を構成するポリシリコン4との間に形成されているも

のである。そして、配線容量33及び34の共通接続点は、シールド用電極32の電位Vsild、即ちグランドレベルに設定されている。

【0019】次に、本実施例の作用について説明する。図1（b）の等価回路に示したように、配線容量33及び34の共通接続点がグランドレベルに設定されていることによって、半導体装置20の場合のように薄膜抵抗体13とキャパシタ8とが容量結合された状態は解消されている。従って、薄膜抵抗体13を介してクロック信号を伝送する場合でも、その信号のレベル変動がポリシリコン4側に伝達されることなく、キャパシタ8の容量が変動することはない。

【0020】以上のように本実施例によれば、シリコン基板（半導体基板）1上に形成したキャパシタ8とその形成領域とオーバーラップするように形成された薄膜抵抗体13との間に、グランドに接続されるシールド用電極32を配置したので、薄膜抵抗体13によりクロック信号のように交流的に変化する信号が伝送される場合でも、シールド用電極32のシールド効果により信号の交流的な変化がキャパシタ8に電位的な影響を与えることがない。

【0021】従って、キャパシタ8の容量変動を防止して、所望の回路特性を安定して得ることができるようになる。そして、従来よりも高密度な多層配線を行うことが可能となり半導体装置31のチップサイズをより縮小することができ、コストダウンを図ることができる。

【0022】（第2実施例）図2は本発明の第2実施例を示すものであり、第1実施例と同一部分には同一符号を付して説明を省略し、以下異なる部分についてのみ説明する。第2実施例の半導体装置35では、第1実施例における薄膜抵抗体36に代えて、キャパシタ8の上層にシールド用電極32を介してAlSiCuからなる配線36を形成したものである。この場合、第2aTEOS膜12及び第2bTEOS膜16に代えて、第2TEOS膜37が一回の工程で成膜されており、その第2TEOS膜37の上層に配線36が形成されている。また、配線36の上層には、パッシベーション膜たるP-SiN膜19が成膜されている。

【0023】以上のように構成された第2実施例によれば、配線36によりクロック信号のように交流的に変化する信号が伝送される場合でも、シールド用電極32のシールド効果により信号の交流的な変化がキャパシタ8に電位的な影響を与えることを防止できる。

【0024】本発明は上記し且つ図面に記載した実施例にのみ限定されるものではなく、次のような変形または拡張が可能である。半導体基板上に形成される回路素子はキャパシタ8に限ることなく、バイポーラトランジスタ、MOSFETなどでも良い。例えば、トランジスタの場合は、エミッタ、コレクタ、ベースの各電極として構成されるAlSiCu膜を形成する場合、同時にそれ

ら各電極間にシールド用電極を形成し、後は第1実施例などと同様にして、その上層に層間絶縁膜を介して薄膜抵抗体31や配線36等を形成すれば良い。

【図面の簡単な説明】

【図1】本発明の第1実施例であり、(a)は半導体装置の構成を示す模式的な断面図、(b)は等価回路図

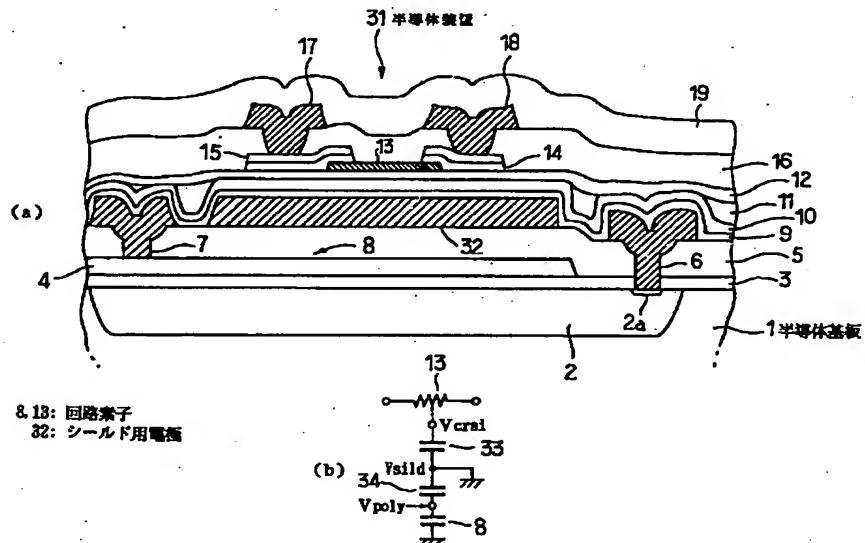
【図2】本発明の第2実施例を示す図1 (a)相当図

【図3】従来技術を示す図1相当図

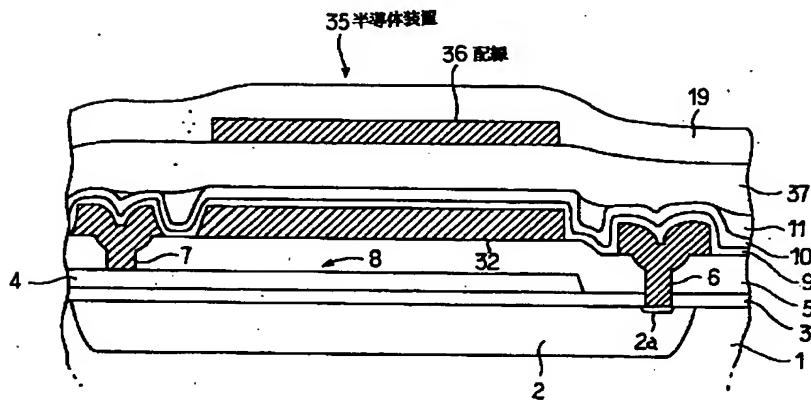
【符号の説明】

1はシリコン基板(半導体基板)、8はキャバシタ(回路素子)、13は薄膜抵抗体(回路素子)、31は半導体装置、32はシールド用電極、35は半導体装置、36は配線を示す。

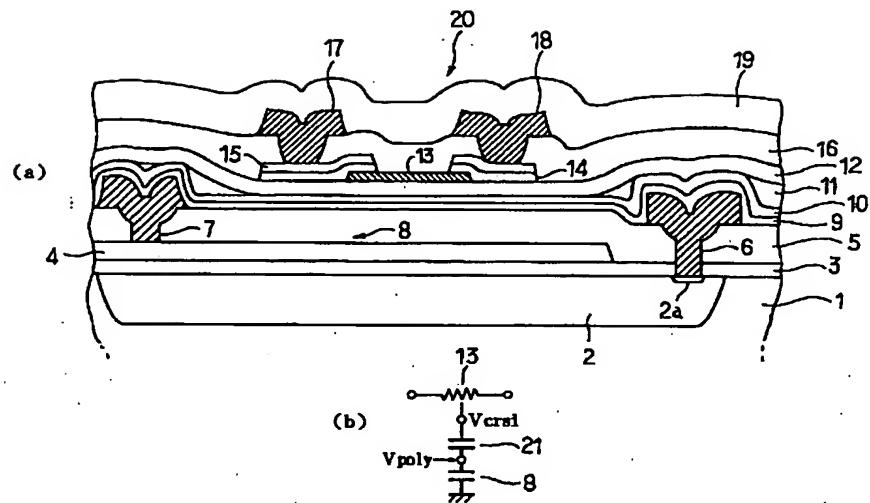
【図1】



【図2】



[図3]



フロントページの続き

F ターム (参考) 5F033 HH09 JJ09 KK04 RR04 RR06
RR09 RR15 UU05 VV03 VV09
VV10 XX23
5F038 AC03 AC05 AC17 AR08 AR13
BH10 BH19 CD06 EZ14 EZ20

BEST AVAILABLE

THIS PAGE BLANK (USPTO)